

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 6月 7日

出 願 番 号

Application Number:

特願2000-175536

出 願 人

Applicant(s):

株式会社日立製作所

U.S.S.N. 09/873,242

MATTINGLY, STANGER + MALUR

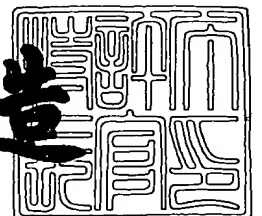
(703) 684-1120

DKT: ASA-1008

2001年 6月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3054076

【書類名】 特許願

【整理番号】 H00004181

【提出日】 平成12年 6月 7日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/38

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 上牧 春雄

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 会田 幸作

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 木内 淳

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 中川 哲也

【発明者】

【住所又は居所】 イギリス国 ハートフォードシャー SG8 6EEロ
イストン メルボーン ケンブリッジロード メルボ
ンサイエンスパーク（番地なし） ザ テクノロジー
パートナーシップ パブリック リミテッドカンパニー
内

【氏名】 ダン タルマジ

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 047-361-8861

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 転送制御装置

【特許請求の範囲】

【請求項 1】 外部より転送元又は転送先の転送開始アドレスが初期設定される初期値レジスタと、
転送開始アドレスを基点に外部からの転送要求に応答するデータ転送が所定のデータ量に達する毎に外部に割り込みを要求し、前記割り込みを所定の複数回要求する毎に転送元又は転送先のアドレスを前記初期値レジスタの前記転送開始アドレスに初期化する制御手段と、を含んで成るものであることを特徴とする転送制御装置。

【請求項 2】 半導体チップに演算制御装置及び転送制御装置を含み、
前記転送制御装置は、前記演算制御装置により転送元又は転送先の転送開始アドレスが初期設定され、転送開始アドレスを基点に転送元からの転送要求に応答するデータ転送が所定のデータ量に達する毎に前記演算制御装置に割り込みを要求し、前記割り込みを所定の複数回要求する毎に転送元又は転送先のアドレスを前記転送開始アドレスに初期化するものであることを特徴とするデータプロセッサ。

【請求項 3】 演算制御装置と、前記演算制御装置によって転送制御条件が設定される転送制御装置と、前記演算制御装置及び転送制御装置によりアクセス可能な R A M と、前記転送制御装置に転送要求を発行する周辺回路とを有し、
前記転送制御装置は演算制御装置によって設定された転送制御条件で示される R A M 上の転送開始アドレスを基点に前記周辺回路からの転送要求に応答する R A M へのデータ転送が所定のデータ量に達する毎に演算制御装置に割り込みを要求し、前記割り込みを所定の複数回要求する毎に転送先又は転送元のアドレスを前記転送開始アドレスに初期化し、
前記演算制御装置は転送制御装置からの割り込みを受けて付けた後に当該割り込みが要求されるまでに R A M に転送されたデータをリードしてデータ処理を行うものであることを特徴とするデータ処理システム。

【請求項 4】 外部から転送制御アドレス情報が設定可能な初期値レジスタと、
転送元から転送先へのデータ転送毎に転送制御アドレス情報を更新するアドレス
計数手段と、
前記初期値レジスタに設定された転送制御アドレス情報がセットされ、セットさ
れた転送制御アドレス情報が前記アドレス計数手段により順次更新されるテンポ
ラリアドレスレジスタと、
転送元から転送先へのデータ転送毎に転送回数を第 1 の目的回数まで計数する動
作を繰り返し可能な転送回数計数手段と、
前記転送回数計数手段による前記第 1 の目的回数まで計数する動作のくり返し回
数を第 2 の目的回数まで計数する動作を繰り返し可能なくり返し回数計数手段と
、
データ転送要求に応答して転送元から転送先へのデータ転送動作を開始させ、前
記転送回数計数手段が第 1 の目的回数まで計数する毎に割り込み信号を出力し、
前記くり返し回数計数手段が第 2 の目的回数まで計数する毎に前記初期値レジス
タから前記テンポラリレジスタに転送制御アドレス情報を設定する制御手段と、
を含んで成るものであることを特徴とする転送制御装置。

【請求項 5】 前記テンポラリアドレスレジスタは転送先アドレスを保有す
るディスティネーションアドレスレジスタであり、
前記初期値レジスタは転送先の先頭アドレスが設定されるイニシャルアドレスレ
ジスタであり、
前記制御手段はデータ転送要求に応答して転送元アドレスのデータを前記ディス
ティネーションアドレスレジスタによって示される転送先アドレスに格納するデ
ータ転送制御を開始可能であることを特徴とする請求項 4 記載の転送制御装置。

【請求項 6】 前記テンポラリアドレスレジスタは転送元アドレスを保有す
るソースアドレスレジスタであり、
前記初期値レジスタは転送元の先頭アドレスが設定されるイニシャルアドレスレ
ジスタであり、
前記制御手段はデータ転送要求に応答して前記ソースアドレスレジスタによって

指定される転送元アドレスのデータを転送先アドレスに格納するデータ転送制御を開始可能であることを特徴とする請求項 4 記載の転送制御装置。

【請求項 7】 転送元アドレスを保有するソースアドレスレジスタ及び転送先アドレスを保有するデスティネーションアドレスレジスタを有し、前記制御手段は前記ソースアドレスレジスタ又はデスティネーションアドレスレジスタの何れか一方を前記テンポラリアドレスレジスタとして選択可能であり、テンポラリレジスタとして選択されたレジスタを用いてデータ転送要求に応答するデータ転送制御を開始可能であることを特徴とする請求項 4 記載の転送制御装置。

【請求項 8】 前記第 1 の目的回数が外部から設定可能にされる転送回数指定レジスタを有して成るものであることを特徴とする請求項 4 乃至 7 の何れか 1 項記載の転送制御装置。

【請求項 9】 前記第 2 の目的回数は 3 回であることを特徴とする請求項 4 乃至 7 の何れか 1 項記載の転送制御装置。

【請求項 10】 前記転送元又は転送先として利用可能な RAM を有して成るものであることを特徴とする請求項 1 乃至 9 の何れか 1 項記載の転送制御装置。

【請求項 11】 外部から転送制御アドレス情報が設定可能な複数個の初期値レジスタと、
転送元から転送先へのデータ転送毎に転送制御アドレス情報を更新するアドレス計数手段と、
前記複数個の初期値レジスタが保有する転送制御アドレス情報の中から 1 つを選択可能な選択手段と、
前記選択手段で選択された転送制御アドレス情報がセットされ、セットされた転送制御アドレス情報が前記アドレス計数手段によって順次更新されるテンポラリアドレスレジスタと、
転送元から転送先へのデータ転送毎に転送回数を第 1 の目的回数まで計数する動作を繰り返し可能な転送回数計数手段と、
前記転送回数計数手段による前記第 1 の目的回数まで計数する動作のくり返し回

数を第 2 の目的回数まで計数する動作を繰り返し可能な繰り返し回数計数手段と、
 データ転送要求に応答して転送元から転送先へのデータ転送動作を開始させ、前記転送回数計数手段が第 1 の目的回数まで計数する毎に、割り込み信号を出力し、前記繰り返し回数計数手段による計数値に応じて前記選択手段に前記初期値レジスタを選択させ、選択された初期値レジスタから前記テンポラリレジスタに転送制御アドレス情報を設定する制御手段と、を含んで成るものであることを特徴とする転送制御装置。

【請求項 1 2】 演算制御装置と前記演算制御装置によって転送制御条件が設定される転送制御装置とを含み、前記転送制御装置は、
 前記演算制御装置から転送制御アドレス情報が設定可能な初期値レジスタと、
 転送元から転送先へのデータ転送毎に転送制御アドレス情報を更新するアドレス計数手段と、
 前記初期値レジスタに設定された転送制御アドレス情報がセットされ、セットされた転送制御アドレス情報が前記アドレス計数手段により順次更新されるテンポラリアドレスレジスタと、
 転送元から転送先へのデータ転送毎に転送回数を第 1 の目的回数まで計数する動作を繰り返し可能な転送回数計数手段と、
 前記転送回数計数手段による前記第 1 の目的回数まで計数する動作のくり返し回数を第 2 の目的回数まで計数する動作を繰り返し可能な繰り返し回数計数手段と、
 データ転送要求に応答して転送元から転送先へのデータ転送動作を開始させ、前記転送回数計数手段が第 1 の目的回数まで計数する毎に割り込み信号を出力し、前記くり返し回数計数手段が第 2 の目的回数まで計数する毎に前記初期値レジスタから前記テンポラリレジスタに転送制御アドレス情報を設定する制御手段と、
 を含んで成るものであることを特徴とするデータプロセッサ。

【請求項 1 3】 前記演算制御装置及び転送制御装置によってアクセス可能な RAM を有し、1 個の半導体チップに形成されて成るものであることを特徴とする請求項 1 2 記載のデータプロセッサ。

【請求項 1 4】 前記転送制御装置にデータ転送要求を出力可能であって、前記演算制御装置及び転送制御装置によってアクセス可能な周辺入出力回路を更に有して成るものであることを特徴とする請求項 1 3 記載のデータプロセッサ。

【請求項 1 5】 請求項 1 4 記載のデータプロセッサと、前記データプロセッサの周辺入出力回路に接続された音声信号入力回路と、を有し、

前記データプロセッサは、前記演算制御装置の動作プログラムを保有し、前記動作プログラムにしたがって前記演算制御装置は音声信号入力回路から周辺入出力回路に入力された音声信号を R A M へ転送させる転送条件を転送制御装置に設定し、

前記転送制御装置は周辺入出力回路から転送要求に応答して音声信号を R A M に転送制御し、

前記演算制御装置は前記転送制御装置から割り込み信号を入力したとき、R A M から音声信号をリードして処理することを特徴とするデータ処理システム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、D M A C（ダイレクト・メモリ・アクセス・コントローラ）等のデータ転送制御装置や前記データ転送制御装置を内蔵したマイクロコンピュータなどによるデータ転送制御技術に関し、例えば携帯電話器におけるレイヤ処理や音声符号化復号処理に際してのデータバッファリングに適用して有効な技術に関する。

【 0 0 0 2 】

【従来の技術】

従来の D M A C は、転送元アドレス、転送先アドレス、及び転送語数（転送回数）などが予め演算制御装置によって初期設定され、転送要求があると、前記初期設定条件に従ってデータ転送を開始する。メモリとメモリとの間でのデータ転送のようなデュアルアドレッシングモードによるデータ転送では、データ転送毎に、転送元アドレス及び転送先アドレスを各々更新し、指定された転送語数のデー

タ転送を逐次実行していく。メモリと周辺回路との間でのデータ転送のようなシングルアドレッシングモードによるデータ転送では、データ転送毎に、転送元アドレス又は転送先アドレスを更新し、指定された転送語数のデータ転送を逐次実行していく。

【0003】

前記CPU等の演算制御装置は前記DMACがデータ転送制御を負担している間、別のデータ処理を行うことができる。例えば、GSM (Global System For Mobile Communication) 携帯電話の音声コーデック (音声符号化復号処理) をターゲットとするデータプロセッサにおいて、送信すべき音声データをDMACがデータバッファに蓄えているとき、これに並行してCPUは、既にデータバッファに蓄えられた音声データを符号化するための処理を行うことができる。

【0004】

【発明が解決しようとする課題】

本発明者は、GSM等の携帯電話における音声コーデックの様な処理との関連で、DMACによるデータ転送制御について検討した。

【0005】

例えば、音声データは8KHzでサンプリングされ、逐次データプロセッサへ転送され、データプロセッサはそのデータをDMACを用いてメモリ上に格納する。そして音声データ160サンプル分のデータをひとつの塊として、音声圧縮処理を行う。このとき音声圧縮処理を行っている最中も音声データは送られてくるため、圧縮を行っているデータを消さずに音声データを蓄積していかなければならない。その対策として、音声データの格納場所を2箇所準備し、160サンプル分のデータがたまるたびにDMACのデータ転送制御条件を変更することで、2箇所の格納場所に交互にデータをバッファリングすることで対処することができる。

【0006】

しかしながら、この手法では、データプロセッサのCPUは、音声圧縮処理の前に毎回DMACのデータ転送条件を設定変更するための処理を行わなければならないため、CPUの処理量がその分だけ多くなってしまうことが本発明者によ

って明らかにされた。

【0 0 0 7】

このように、逐次データを受け取りながらメモリなどに蓄積し、特定量のデータを受け取る毎に、データの蓄積処理と並列に既に蓄積されているデータを用いた信号処理等を行う時、前記特定量のデータを一塊として利用する処理ではそのデータをデータ処理が終了まで保持しなければならず、少なくとも2面バッファを用意し、その一方に蓄積されているデータを処理しているときは他方を利用してデータの蓄積を継続していく必要がある。そのためには、2箇所の格納場所に交互にデータをバッファリングできるように、DMACのデータ転送条件を変更していくことが必要にある。

【0 0 0 8】

このとき、1つのデータバッファに対してデータ転送を完了する度にDMACにもう一つのデータバッファの先頭アドレスを設定して、バッファエリアを交互に切り換え制御することも可能であるが、複数エリアに対して連続にデータ転送を可能にすれば、複数領域にデータ転送を完了する毎に、DMACにデータ転送制御条件を再設定すればよい。例えば2面バッファを利用する場合、2面のバッファにデータを蓄積する毎にデータ転送条件を再設定すればよく、データ転送条件設定のためのCPUの負担は半減する。このような複数領域のデータ連続転送を可能にしたDMACについて例えば特開平5-20263号公報に記載がある。

【0 0 0 9】

このとき、1つのバッファにデータが蓄積されたことをCPUに通知して信号処理などを開始させるには、DMACは1つのバッファにデータの蓄積を完了する毎にCPUに割り込みを要求すればよい。そのような割り込み手法に類似する技術として、特開平1-216456号公報には、磁気ディスク装置から主記憶装置へのDMA転送においてセクタ分のデータ転送毎にCPUに割り込み信号を発生し、その割り込みに応答してCPUにデータ処理を実行させる発明の記載がある。

【 0 0 1 0 】

しかしながら、上述の複数領域連続データ転送可能な技術であっても2面バッファの場合にはCPUによるデータ転送制御条件の設定負担が半減するに過ぎず、更にCPUの負担を軽減するにはバッファの数を増やさなければならず、リソースの有限性を考慮すれば、上記公知技術では限界のあることが本発明者によって明らかにされた。

【 0 0 1 1 】

本発明の目的は、複数のデータ転送領域をサイクリックに用いて行うデータ転送に要する制御負担を軽減させることができるデータ転送制御装置を提供することにある。

【 0 0 1 2 】

本発明の別の目的は、逐次データを受け取りながらメモリなどに蓄積し、特定量のデータを蓄積する毎に、次のデータの蓄積処理に並列して既に蓄積されているデータを用いた一連の処理におけるCPU等によるデータ転送制御条件の設定処理負担を軽減することができるデータプロセッサを提供することにある。

【 0 0 1 3 】

本発明のその他の目的は、逐次データを受け取りながらメモリなどに蓄積し、特定量のデータを蓄積する毎に、次のデータの蓄積処理に並列して既に蓄積されているデータを用いた一連の処理を行うデータ処理システムにおけるデータ処理効率の向上させることにある。

【 0 0 1 4 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【 0 0 1 5 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 6 】

〔1〕データ転送制御装置は、外部より転送元又は転送先の転送開始アドレスが

初期設定される初期値レジスタを有し、制御手段は、転送開始アドレスを基点に外部からの転送要求に応答するデータ転送が所定のデータ量に達する毎に外部に割り込みを要求し、前記割り込みを所定の複数回要求する毎に転送元又は転送先のアドレスを前記初期値レジスタの前記転送開始アドレスに初期化する。

【 0 0 1 7 】

上記転送制御装置を採用したデータプロセッサは半導体チップに前記転送制御装置と共にCPUのような演算制御装置を含む。

【 0 0 1 8 】

上記転送制御装置を採用したデータ処理システムは、前記転送制御装置と共に、演算制御装置と、前記演算制御装置及び転送制御装置によりアクセス可能なRAMと、前記転送制御装置に転送要求を発行する周辺回路とを有する。前記転送制御装置は演算制御装置によって設定された転送制御条件で示されるRAM上の転送開始アドレスを基点に前記周辺回路からの転送要求に応答するRAMへのデータ転送が所定のデータ量に達する毎に演算制御装置に割り込みを要求し、前記割り込みを所定の複数回要求する毎に転送先又は転送元のアドレスを前記転送開始アドレスに初期化する。前記演算制御装置は転送制御装置からの割り込みを受けて付けた後に当該割り込みが要求されるまでにRAMに転送されたデータをリードしてデータ処理を行う。

【 0 0 1 9 】

上記した手段によれば、一定量のデータ転送が完了される毎に割り込みを出力するから、CPU等の演算制御装置は一定量のデータ転送が完了されたデータ領域からデータをリードしてデータ処理を行うことができ、これに並行してデータ転送制御装置は次の領域にデータを蓄える転送制御をCPU等の演算制御装置の制御を要することなく継続することができる。

【 0 0 2 0 】

更に、割り込みが所定の複数回要求される毎に前記初期値レジスタの転送元又は転送先のアドレスを前記転送開始アドレスに初期化するから、有限個数のデータ領域をサイクリックに利用するデータ転送制御に際して、CPU等の演算制御装置は転送制御条件を再設定する負担から解放される。換言すれば、連続する多

数のデータ領域を用いることなく、限られたリソースを使用するだけでも、CPU等の演算制御装置による転送制御条件の再設定操作の負担を軽減して、間断なくデータ転送とデータ処理とを並列に継続させることが可能になる。例えば2面バッファを用いるだけでも上記効果を得ることができる。

【 0 0 2 1 】

さらに、前述の通り複数のデータ領域の切り替えとサイクリックに転送条件を設定する処理とを転送制御装置側で自動的に行うから、データ転送制御の処理負担が軽減された分だけ演算制御装置を別の処理に振り当てることが可能になり、データ処理システム全体としてデータ処理効率向上に寄与する。

【 0 0 2 2 】

〔2〕具体的な態様によるデータ転送制御装置は、外部から転送制御アドレス情報が設定可能な初期値レジスタと、転送元から転送先へのデータ転送毎に転送制御アドレス情報を更新するアドレス計数手段と、前記初期値レジスタに設定された転送制御アドレス情報がセットされ、セットされた転送制御アドレス情報が前記アドレス計数手段により順次更新されるテンポラリアドレスレジスタと、転送元から転送先へのデータ転送毎に転送回数を第1の目的回数まで計数する動作を繰り返し可能な転送回数計数手段と、前記転送回数計数手段による前記第1の目的回数まで計数する動作のくり返し回数を第2の目的回数まで計数する動作を繰り返し可能な繰り返し回数計数手段と、データ転送要求に応答して転送元から転送先へのデータ転送動作を開始させ、前記転送回数計数手段が第1の目的回数まで計数する毎に割り込み信号を出力し、前記くり返し回数計数手段が第2の目的回数まで計数する毎に前記初期値レジスタから前記テンポラリレジスタに転送制御アドレス情報を設定する制御手段と、を含む。

【 0 0 2 3 】

上記データ転送制御装置において、シングルアドレッシングモードにおける転送先アドレスをメモリアドレスとする場合、前記テンポラリアドレスレジスタは転送先アドレスを保有するディスティネーションアドレスレジスタになる。このとき、前記初期値レジスタは転送先の先頭アドレスが設定されるイニシャルアドレスレジスタである。前記制御手段はデータ転送要求に応答して転送元アドレスの

データを前記ディスティネーションアドレスレジスタによって示される転送先アドレスに格納するデータ転送制御を開始する。データ転送回数が第1の目的回数に到達する毎に割り込み信号を出力し、前記くり返し回数計数手段が第2の目的回数まで計数する毎にイニシャルアドレスレジスタの初期値がディスティネーションアドレスレジスタにロードされる。これにより、イニシャルアドレスレジスタに初期値が一旦設定されれば、その後、シングルアドレッシングモードで複数のデータ領域にデータを転送する制御が自動的に繰り返し可能になる。

【 0 0 2 4 】

上記転送制御装置において、シングルアドレッシングモードにおける転送元アドレスをメモリアドレスとする場合、前記テンポラリアドレスレジスタは転送元アドレスを保有するソースアドレスレジスタになる。前記初期値レジスタは転送元先頭アドレスが設定されるイニシャルアドレスレジスタである。前記制御手段はデータ転送要求に応答して前記ソースアドレスレジスタによって指定される転送元アドレスのデータを転送先アドレスに格納するデータ転送制御を開始し、データ転送回数が第1の目的回数に到達する毎に割り込み信号を出力し、前記くり返し回数計数手段が第2の目的回数まで計数する毎にイニシャルアドレスレジスタの初期値がソースアドレスレジスタにロードされる。これにより、イニシャルアドレスレジスタに初期値が一旦設定されれば、その後、シングルアドレッシングモードで複数のデータ領域にデータを転送する制御が自動的に繰り返し可能になる。

【 0 0 2 5 】

上記データ転送制御装置において、ソースアドレス又はディスティネーションアドレスの何れに対してもシングルアドレッシングモードでサイクリックなデータ転送制御を選択可能にするには、ソースアドレスレジスタ及びディスティネーションアドレスレジスタに対し、制御手段は前記ソースアドレスレジスタ又はディスティネーションアドレスレジスタの何れか一方を前記テンポラリアドレスレジスタとして選択可能とし、テンポラリレジスタとして選択されたレジスタを用いてデータ転送要求に応答するデータ転送制御を開始すればよい。

【 0 0 2 6 】

前記第1の目的回数は1つのデータ領域の大きさを規定する事になるから、外部から第1の目的回数が設定可能な転送回数指定レジスタを設けることにより、転送制御の自由度が増す。

【 0 0 2 7 】

前記第2の目的回数はデータ転送に利用するデータ領域の総数に対応され、2面バッファを用いるとき第2の目的回数は2回、3面バッファを用いるとき第2の目的回数は3回である。特に3面バッファを利用すれば、1つのデータ領域にデータ転送を行っているとき、既にデータ転送を完了している2面のデータ領域のデータを用いてデータ処理を行うことができる。例えば、データ領域毎に音声データを符号化していくとき、音声データ符号化のための計数を求める短期予測処理では一つ前に符号化されたデータ領域の一部のデータも必要とし、このとき、既に符号化処理の済んだデータのデータ領域も含めてされた2面のデータ領域のデータが残っていれば、短期予測処理に必要なデータの確保が容易であり確実にする。

【 0 0 2 8 】

〔3〕不連続にアドレスマッピングされたデータ領域を利用可能にすることを考慮する場合には、転送制御装置は、前記初期値レジスタを複数個有し、前記複数個の初期値レジスタが保有する転送制御アドレス情報の中から1つを選択可能な選択手段を設け、前記選択手段で選択された転送制御アドレス情報を前記テンポラリレジスタにセットして、前記アドレス計数手段によって順次更新可能にする。そして、制御手段は、データ転送要求に応答して転送元から転送先へのデータ転送動作を開始させ、前記転送回数計数手段が第1の目的回数まで計数する毎に、割り込み信号を出力し、前記繰り返し回数計数手段による計数値に応じて前記選択手段による前記初期値レジスタの選択状態を切り換えさせ、選択された初期値レジスタから前記テンポラリレジスタに転送制御アドレス情報をセットする。

【 0 0 2 9 】

これにより、夫々の初期値レジスタに初期設定される転送制御アドレス情報を先頭とする複数の不連続なデータ領域を順次切り換えてデータ転送を行う事が可

能になる。

【 0 0 3 0 】

〔 4 〕 具体的な態様によるデータプロセッサは、前記具体的な態様のデータ転送制御装置を演算制御装置と共に有する。

【 0 0 3 1 】

データプロセッサは、前記演算制御装置及び転送制御装置によってアクセス可能な R A M を有し、 1 個の半導体チップに形成してよい。更にデータプロセッサは、前記転送制御装置にデータ転送要求を出力可能であって、前記演算制御装置及び転送制御装置によってアクセス可能な周辺入出力回路を含んでよい。

【 0 0 3 2 】

前記データプロセッサを用いるデータ処理装置は、データプロセッサと共に、前記データプロセッサの周辺入出力回路に接続された音声信号入力回路と、を有し、前記データプロセッサは、前記演算制御装置の動作プログラムを保有し、前記動作プログラムにしたがって前記演算制御装置は音声信号入力回路から周辺入出力回路に入力された音声信号を R A M へ転送させる転送条件を転送制御装置に設定し、前記転送制御装置は周辺入出力回路から転送要求に応答して音声信号を R A M に転送制御し、前記演算制御装置は前記転送制御装置から割り込み信号を入力したとき、 R A M から音声信号をリードして処理する。

【 0 0 3 3 】

【発明の実施の形態】

図 1 には本発明に係るデータプロセッサの一例が示される。同図に示されるデータプロセッサ 1 は、バスマスタモジュールとして演算制御装置 2 及びダイレクトメモリアクセスコントローラ (D M A C) 3 を有し、それらはアドレスバス 4、データバス 5 及びコマンドバス 6 を共有し、バス権調停はバスの状態制御を行うバスステートコントローラ 7 が行う。

【 0 0 3 4 】

前記演算制御装置 (以下単に C P U とも称する) 2 は、命令をフェッチして解読する命令制御部とこれによって動作が制御される演算部とを有する。演算部は、特に制限されないが、整数演算器及び汎用レジスタを有する整数演算ユニット

と、積和演算器及び積和演算レジスタを有するデジタル信号処理ユニット（DSP）とを備える。特に図示はしないが、CPU2は特定の信号処理演算などに特化したアクセラレータを更に含んでもよい。

【0035】

尚、CPU2の動作プログラムはデータプロセッサ1にROMを内蔵して供給してもよい。或いはデータプロセッサ1の外部のプログラムROMを設けてもよい。また、メモリ8を構成するRAMの所定エリアをアプリケーションプログラム領域として用いてもよい。

【0036】

SRAM（スタティック・ランダム・アクセス・メモリ）又はDRAM（ダイナミック・ランダム・アクセス・メモリ）から成るメモリ8は整数演算演算ユニット及びDSPによる演算に利用され、前記バス4，5，6に接続するアクセスポートと、前記CPU2のDSPにデジタル信号処理専用バス10で接続されるアクセスポートとのデュアルポートを有する。前記デュアルポートは完全並列アクセスを許容する。前記デジタル信号処理専用バス10は、アドレス、データ及び制御信号の信号線を含んでいる。

【0037】

データプロセッサ1はその他に周辺回路9及び割り込みコントローラ10などを有する。周辺回路は、外部から供給されるアナログ信号をデジタル信号に変換するアナログ・デジタル・コンバータ（A/D）やシリアル・コミュニケーション・インタフェース・コントローラ（SCI）などを総称する。

【0038】

前記DMAC3は、特に制限されないが、データ転送モードとしてシングルアドレスモードを有し、予めCPU2によって転送開始アドレスなどの転送制御条件が設定され、周辺回路9からの転送要求信号100によりデータ転送制御が起動される。

【0039】

DMAC3はデータ転送要求信号100によりデータ転送要求を受けると、BSC7に対してバス権要求信号101を出力してバス権を要求する。BSC7は

、DMAC 3 からバス権の要求を受け取ると、CPU 2 によるバス 4, 5, 6 の使用状態を監視し、バス 4, 5, 6 が空いていればバス権承認信号 1 0 2 を DMAC 3 に出力して、DMAC 3 にバス権を与える。このとき、CPU 2 にはバス使用信号 1 0 3 によりバス使用中である状態が伝えられる。

【 0 0 4 0 】

DMAC 3 はバス権承認信号 1 0 2 を受け取ると、アドレスバス 4 に例えば転送元のアドレス（周辺回路 9 の中のレジスタのアドレス等）を出力し、同時にバスコマンドバス 6 にリードコマンドを出力する。転送元のアドレスの出力に代えて、転送元の周辺回路を選択するモジュール選択信号を転送元に出力してもよいことは言うまでもない。

【 0 0 4 1 】

周辺回路 9 は、前記転送元アドレス及びリードコマンドをアドレスバス 4 及びバスコマンドバス 6 を介して受け取ると、データバス 5 にデータを出力する。データバス 5 上でリードデータが確定するタイミングに同期して、前記 DMAC 3 は、例えば転送先のメモリ 8 のアドレスをアドレスバス 4 に出力し、併せてバスコマンドバス 6 に書きこみ処理を示すコマンドを出力する。これによってメモリ 8 はアドレスバス 4 から供給されるアドレスによってアドレッシングされるメモリエリアにデータバス 5 上のデータを格納する。DMAC 3 は 1 回データ転送を行う毎に、転送先メモリアドレスを次の転送先アドレスに更新する。

【 0 0 4 2 】

DMAC 3 は上述のように周辺回路 9 からの転送要求がある度にシングルアドレッシングモードで周辺回路 9 からメモリ 8 にデータ転送を行う。詳細については後述するが、DMAC 3 は、転送開始アドレスを基点に周辺回路 9 からの転送要求に応答するデータ転送が所定のデータ量に達する毎に割り込み要求信号 1 1 0, 1 1 1 を交互に割り込みコントローラ 1 0 に出力して、割り込みコントローラ 1 0 から CPU 2 に割り込み信号 1 0 4 を出力させ、前記割り込み要求信号 1 1 0, 1 1 1 により割り込みを所定の複数回例えば 2 回要求する毎に転送先のメモリアドレスを転送開始アドレスに初期化する。

【 0 0 4 3 】

尚、前記割り込みコントローラ 1 0 は周辺回路 9 から別の割込要求信号 1 0 5 も供給され、割り込み要求が競合する場合には割込み優先順位などに従った優先制御若しくは割り込みネスト制御を行って、CPU 2 への割り込み要求を調停する。また、初期設定される転送条件次第では前記周辺回路 9 が転送先デバイスになることも当然あるが、その場合には転送元アドレスが順次更新される点を除いてDMAC 3 は上記と同様に機能するので、図1の例ではその詳細な説明は省略する。

【 0 0 4 4 】

図 2 には転送元アドレスを固定とし、転送先アドレスを順次更新するシングルアドレッシングモードに特化した前記DMAC 3 の第 1 の例が示される。

【 0 0 4 5 】

図 2 の例ではDMAC 3 は、CPU 2 によりデータバス 5 を介して初期設定可能なレジスタとして、ソースアドレスレジスタ (SAR) 1 1、イニシャルアドレスレジスタ (IAR) 1 2 及び転送回数指定レジスタ (TCR) 1 3 を有する。

【 0 0 4 6 】

前記SAR 1 1 は転送元アドレスが設定される。前記IAR 1 2 は転送先の転送開始アドレスが設定される。前記IAR 1 2 の設定値はセクタ 1 4 からディステーションアドレスレジスタ (DAR) 1 5 にロードされ、ロードされたアドレスは 1 回のデータ転送転送動作が完了される毎にインクリメント (INC) 1 6 でインクリメント (+ 1) され、次の転送先アドレスとしてセクタ 1 4 からDAR 1 5 にロードされる。前記セクタ 1 4、DAR 1 5 及びINC 1 6 のループは転送先アドレスカウンタを構成する。

【 0 0 4 7 】

前記SAR 1 1 から出力される転送元アドレス 1 7 は転送元に対するアクセスタイミングに同期してセクタ 1 8 からアドレスバス 4 に出力され、前記DAR 1 5 から出力される転送先アドレス 1 9 は転送先に対するアクセスタイミングに同期して前記セクタ 1 8 からアドレスバス 4 に出力される。

【 0 0 4 8 】

前記TCR13は第1の目的回数としての転送回数が初期設定される。初期設定された転送回数はセクタ20を介して回数レジスタ(TC)21にロードされ、ロードされた回数値は1回のデータ転送動作が行われる毎にデクリメンタ(DEC)22でデクリメント(-1)され、残りの転送回数としてセクタ20からTC21にロードされる。

【 0 0 4 9 】

前記デクリメンタ22はデクリメント結果が“0”になる度に、換言すれば、前記第1の目的回数のデータ転送が行われる毎に、ゼロ信号23を“1”にする。セクタ20はゼロ信号23の“0”状態においてDEC22の出力を選択し、前記セクタ20、TC21及びDEC22のループは、1回の転送動作毎にデクリメントを行う転送カウンタとして動作される。前記転送カウンタとして動作されているとき、ゼロ信号23が“1”にされると、前記セクタ20はTCR13の初期値を選択し、TC21の値を初期値に戻し、初期値から転送カウンタ動作を再開する。

【 0 0 5 0 】

1ビットカウンタ(1bitC)24は前記ゼロ信号23が“1”にされる回数を計数する。1ビットカウンタ24の例では、初期値が“0”であり、前記ゼロ信号23が“1”にされる度に出力25を交互に“1”、“0”に変化させる。換言すれば、信号25の初期状態(=“0”)において前記ゼロ信号23が1回目に“1”にされると、信号25が“1”にされ、この状態で、前記ゼロ信号23が2回目に“1”にされると、信号25が“0”に初期化されるから、信号25が“1”にされている状態で前記ゼロ信号23が“1”にされたときは2回目の“1”状態であることがわかる。

【 0 0 5 1 】

前記ゼロ信号23及び1ビットカウンタ24の出力信号25を受ける制御回路26は、信号25が“1”にされているとき、信号30でセクタ14にIAR12の値を選択させてDAR15を初期化する。したがって、図3に例示されるように、TCR13に初期設定された転送回数のデータ転送が繰り返し2回行わ

れる毎にDAR15のアドレスがIAR12の初期設定値に戻され、結果として、IAR12の初期アドレスを先頭に、TCR13に初期設定された転送回数分の転送データが夫々メモリ領域MA、メモリ領域MBに連続して格納されることになる。

【0052】

制御回路26は、前記ゼロ信号23が“1”にされる毎に（TCR13に初期設定された転送回数分のデータがメモリ8に蓄えられる毎に）割込要求を出す、このとき、図3のメモリ領域MA、MBの何れの領域に対するデータの格納が完了したかを区別できるように、ゼロ信号23が“1”になったとき、信号25が“0”であれば割込み要求信号110をアサートし、信号25が“1”であれば割込み要求信号111をアサートする。これによってCPU2は、図3のメモリ領域MA又はMBのどちらをアクセスしたらよいかを認識できる。実際には、割込み要求信号110、111のどちらがアサートされているかに応じた割り込み要因情報を割り込みコントローラ10がCPU2に与えることによって認識可能にされる。

【0053】

前記制御回路26は、前述のように、転送要求信号100を介して転送要求があると、バス権要求信号101にてバス権を要求し、これに応答するバス権承認信号102でバス権を獲得して、データ転送制御動作を開始する。データ転送制御において前記制御回路26は、セクタ14の選択制御信号30、DAR15のラッチ制御信号31、セクタ18の選択制御信号32、INC16のインクリメント動作指示信号33、TC21のラッチ信号34、DEC22のデクリメント動作指示信号35、及び前記割込み信号110、111を生成する。インクリメント動作指示信号33及びデクリメント動作指示信号35は転送元から転送先への1回のデータ転送毎に動作が指示され、その演算動作の直後にラッチ制御信号31、34がイネーブルにされて、夫々の演算結果でDAR15、TC21が更新されることになる。

【0054】

図4に基づいてDMAC3のデータ転送動作を全体的に説明する。

【 0 0 5 5 】

DAR 1 5 の値は制御回路 2 6 が転送要求信号 1 0 0 にて転送要求を受け付ける毎に IAR 1 2 の値から 1 ずつ加算されていく。TC 2 1 の値は制御回路 2 6 が転送要求信号 1 0 0 にて転送要求を受け付ける毎に TCR 1 5 の値から 1 ずつ減算されていく。そして DEC 2 2 のゼロ信号 2 3 が 1 になると、TC 2 1 は TCR 1 3 の値によって初期化される。前記 1 ビットカウンタ 2 4 は、ゼロ信号 2 3 を受け取る度に、“0”と“1”を交互に繰り返す信号 2 5 を出力する。DAR 1 5 は、1 ビットカウンタ 2 4 の出力 2 5 が“1”の時にゼロ信号 2 3 が“1”になると、セレクタ 1 4 により、IAR 1 2 の値がロードされる。

【 0 0 5 6 】

図 4 より明らかなように、1 ビットカウンタ 2 4 の値が“0”のとき TC 2 1 の値が“0”にデクリメントされると（信号 2 3 = “1”）、割込み信号 1 1 0 がアサートされる。1 ビットカウンタ 2 4 の値が“1”のとき TC 2 1 の値が“0”にデクリメントされると（信号 2 3 = “1”）、割込み信号 1 1 1 がアサートされ、且つ、DAR 1 5 の値が IAR 1 2 の値に初期化される。

【 0 0 5 7 】

これにより、図 3 のメモリ領域 MA、MB の一つにデータの格納が完了されと、対応する割込み要求信号 1 1 0、1 1 1 がアサートされる。CPU 2 はアサートされた割込み要求信号に対応するメモリ領域から前記デジタル信号処理専用バス 1 0 を介してデータをリードし、DSP でデジタル信号処理などを行う事ができる。これに並行して、DMAC 3 は周辺回路 9 からのデータ転送要求に回答して他方のメモリ領域にデータ転送可能にされる。

【 0 0 5 8 】

そして、割込み要求信号 1 1 0、1 1 1 に起因する割り込みが CPU 2 に 2 回要求される毎に、前記 IAR 1 2 の転送開始アドレスで DAR 1 5 が初期化されるから、2 個のデータ領域 MA、MB をサイクリックに利用するデータ転送制御に際して、CPU 2 は転送制御条件を再設定する負担から解放される。換言すれば、連続する多数のデータ領域を用いることなく、限られたリソースを使用するだけでも、CPU 2 による転送制御条件設定操作の負担を軽減して、間断なくデ

ータ転送とデータ処理とを並列に継続させることが可能になる。

【 0 0 5 9 】

図 5 には前記データプロセッサ 1 を適用した G S M 方式携帯電話システムが例示される。

【 0 0 6 0 】

音声はマイクロフォン 4 1 によりアナログ音声信号として取り込まれ、 A / D 変換器 4 2 によりデジタル音声信号に変換され、データプロセッサ 1 に入力される。データプロセッサ 1 は、受け取ったデジタル音声信号に対する音声符号化処理及びレイヤ処理としてのチャネルコーデック処理等を行い、処理信号を送信信号として出力する。前記音声符号化処理及びチャネルコーデック処理等は、特に制限されないが、 D S P を用いて行われる。特に図示はしないが、データプロセッサ 1 は、前記チャネルコーデックや音声コーデックの為のアクセラレータを内蔵してよい。

【 0 0 6 1 】

データプロセッサ 1 で生成された送信信号は G M S K 変調回路 4 3 によって変調され、更に D / A 変換器 4 4 のよりアナログ信号に変換され、高周波送信回路 4 5 によりアンテナ 4 6 を介して送信される。

【 0 0 6 2 】

アンテナ 4 6 で受信された受信信号は、高周波受信部 4 7 によって受信され、 A / D 変換器 4 8 にてデジタル信号に変換され、データプロセッサ 1 に取り込まれる。データプロセッサ 1 は、ビタビ復号処理、音声復号処理等を行い、音声信号を取り出し得て出力する。ビタビ復号処理、音声復号処理等は D S P 又は図示を省略するアクセラレータによって行われる。

【 0 0 6 3 】

データプロセッサ 1 より出力された音声信号は D / A 変換器 4 9 によりアナログ音声信号に変換され、スピーカ 5 0 から音声として出力される。

【 0 0 6 4 】

図 5 の携帯電話システムにおいてデータプロセッサ 1 に内蔵された D M A C 3 は、 A / D 変換器 4 2 から出力されるデジタル音声信号を周辺回路 9 の S C I

を介してメモリ 8 に蓄えるとき、そして、A/D 変換器 4 8 から出力される受信デジタル信号を周辺回路 9 の S C I を介してメモリ 8 に蓄えるときに用いることができる。

【 0 0 6 5 】

特に制限されないが、図 5 の携帯電話システムの例では、データプロセッサ 1 は音声符号化復号のための音声コーデック処理、レイヤ処理としてのチャネルコーデック処理、及びシステム制御処理などの動作プログラムを有する R O M 1 A を有する。D M A C 3 に対する転送制御条件の設定処理は前記 R O M 1 A に格納された動作プログラムを C P U 2 が実行して行うようになっている。

【 0 0 6 6 】

図 6 には図 5 の携帯電話システムにおいて A/D 変換器 4 2 から出力されるデジタル音声信号を周辺回路 9 の S C I を介してメモリ 8 に蓄えながら、そのデジタル音声信号を符号化するときの動作が示される。図 5 の G M S K 方式の携帯電話システムにおいて、音声信号は 1 6 0 サンプルのデータを一単位として処理する。まず、最初の音声 1 の 1 6 0 サンプル分のデータは前記領域 M A に順次格納される。次にその後の 1 6 0 サンプル分の音声 2 のデータはメモリ 8 のメモリ領域 M B に格納される。

【 0 0 6 7 】

メモリ領域 M B に音声 2 のデータが順次格納されているときに、C P U 2 ではメモリ領域 M A に格納されている音声 1 のデータを読み込み、音声符号化処理を行う。

【 0 0 6 8 】

更に、音声 3 のデータが順次メモリ領域 M A に格納されているとき、C P U 2 はメモリ領域 M B の音声 2 のデータに対して符号化処理を行う。次に、音声 4 のデータがメモリ領域 M B に格納され、これに並行して、C P U 2 はメモリ領域 M A の音声 3 のデータを読み込んで符号化処理を行う。

【 0 0 6 9 】

以下同様に、受信音声データを格納するメモリ領域と、音声符号化の対象とするメモリ領域とを交互に切り換えながら、音声データを符号化していくことによ

り、CPU 2 は、一旦 DMAC 3 のデータ転送条件を設定した後は、2 個のメモリ領域 MA、MB を繰り返し利用して音声データを受信するためのデータ転送制御のために如何なる再設定処理も行うことなく音声の符号化を継続することができる。

【0070】

これにより、データプロセッサ 1 による音声符号化の処理効率を向上させることができる。即ち、DMAC 3 側で自動的にデータバッファ（メモリ 8 上のメモリ領域）を切り替えながらデータ転送を行うことができるから、CPU 2 自らが音声データを別のバッファ領域に複製したり、DMAC 3 の再設定処理を行わずに済み、CPU の処理効率を向上させることができる。換言すれば、CPU 2 によるデータ処理量を低減することができる。

【0071】

CPU 2 によるデータ処理量を低減することができるから、CPU 2 の動作周波数を低くすることも可能になり、低速動作される余裕も増すから、携帯電話システムの低消費電力に寄与することができる。

【0072】

図 7 には転送元アドレスを固定とし、転送先アドレスを順次更新するシングルアドレッシングモードに特化した前記 DMAC 3 の第 2 の例が示される。図 2 の第 1 の例に対して、2 個のインisialアドレスレジスタ（IAR a，IAR b）12 a、12 b を設け、セクタ 14 A によって IAR a 12 a の出力、IAR b 12 b の出力又はインクリメンタ 16 の出力を選択する点が相違される。セクタ 14 A は、制御回路 26 A で生成される制御信号 30 A により、前記ゼロ信号 23 が“0”の間はインクリメンタ 16 の出力を選択し、前記ゼロ信号 23 が“1”になったときは、信号 25 が“0”であれば IAR a 12 a の出力を、信号 25 が“1”であれば IAR b 12 b の出力を選択する。

【0073】

これにより、ゼロ信号 23 が“1”になる度に IAR a 12 a，IAR b 12 b の値が交互に DAR 15 にセットされる。これにより、図 8 に例示されるように、IAR a 12 a の初期値を先頭にした TCR 13 の初期値のデータ転送回分

のデータ転送動作と、IARb12bの初期値を先頭にしたTCR13の初期値のデータ転送回分のデータ転送動作とが交互に可能にされる。したがって、図9に例示されるように、2個のメモリ領域MA、MBをそれぞれ任意の場所に確保するとでき、メモリ8の利用エリアに対する自由度を高めることができる。

【0074】

図10にはシングルアドレッシングモードに特化した前記DMAC3の第3の例として、転送元又は転送のどちらかを2面バッファに選択可能にした構成が示される。図2の構成に対してSAR11Aの入力をセレクタ14の出力に接続し、DAR15のラッチ制御信号31DとSAR11Aのラッチ制御信号31Sを夫々制御回路26Bで生成する。

【0075】

制御回路26Bは、図1と同様にメモリ領域MA、MBを転送先とする場合、先ず、CPU2からIAR12にロードされたソースアドレスを制御信号30B、31Sを介してSAR11Aにラッチさせる。その後は、CPU2からIAR12に初期設定されたディスティネーションアドレスを制御信号30B、31Dを介してDAR15にラッチさせ、図2と同様のデータ転送が可能にされる。

【0076】

一方、制御回路26Bは、メモリ領域MA、MBを転送元とする場合、先ず、CPU2からIAR12にロードされたディスティネーションアドレスを制御信号30B、31Sを介してDAR15にラッチさせる。その後は、CPU2からIAR12に初期設定されたソースアドレスを制御信号30B、31Dを介してSAR11Aにラッチさせ、その後は、1回のデータ転送毎にSAR11Aの値をインクリメントし、TCR13に初期設定された転送回数のデータ転送が2回行われる毎に、IAR12のソースアドレス初期値をSAR11Aに初期設定する動作を繰り返していけばよい。割り込み要求信号110、111は図2の場合と同様に、TCR13に初期設定された転送回数のデータ転送が完了される毎にアサートされる。

【0077】

図10の構成によれば、図5のGSM携帯電話システムにおいて、データプロ

セッサ 1 の内部で復号された音声データがメモリ 8 に蓄えられているとき、その音声データをメモリ 8 から読み出して周辺回路 9 の S C I にデータ転送し、D/A 変換器 4 9 に伝達するとき、或いは、データプロセッサ 1 で符号化されてメモリ 8 に格納された送信データを順次メモリ 8 から読み出して G M S K 変調回路 4 3 へ供給するときにも、D M A C 3 を利用できるようになる。

【 0 0 7 8 】

図 1 1 には転送先アドレスを固定とし、転送元アドレスを順次更新するシングルアドレッシングモードに特化した前記 D M A C 3 の第 4 の例が示される。図 2 の構成に対して S A R 1 1 A をアドレスカウンタループに配置し、D A R 1 5 A を C P U 2 によって初期設定可能なレジストとして構成した点が相違される。この構成は、図 1 0 の構成において S A R 1 1 A をアドレスカウンタループに置いた場合と同様に機能する。

【 0 0 7 9 】

図 1 2 には転送元アドレスを固定とし、転送先アドレスを順次更新するシングルアドレッシングモードに特化し、3 面バッファを利用してデータ転送制御可能な D M A C 3 の第 5 の例が示される。

【 0 0 8 0 】

図 1 2 の D M A C 3 は図 2 の構成に対し、1 ビットカウンタ 2 4 A の代わりに 3 進カウンタ 2 4 A を採用し、ゼロ信号 2 3 が 3 回 “ 1 ” になる毎に I A R 1 2 の値で D A R 1 5 の値を初期化し、割り込み要求信号も 1 1 0、1 1 1、1 1 2 の 3 本とした点で相違される。割り込み要求信号 1 1 0 は、3 進カウンタ 2 4 A の値が初期値 0 のときにゼロ信号 2 3 が “ 1 ” に変化されるとアサートされる。割り込み要求信号 1 1 1 は、3 進カウンタ 2 4 A の値が 1 のときにゼロ信号 2 3 が “ 1 ” に変化されるとアサートされる。割り込み要求信号 1 1 2 は、3 進カウンタ 2 4 A の値が 2 のときにゼロ信号 2 3 が “ 1 ” に変化されるとアサートされる。また、図 7 の構成に対し、3 面バッファを実現するには、I A R 1 2 a、1 2 b にもう一つ I A R を加え 3 個の I A R をセレクタ 1 4 A で順番に選択しながら夫々の値を順次 D A R 1 5 に設定していく構成を採用してもよい。

【 0 0 8 1 】

図 1 3 には図 1 2 の D M A C によるデータ転送動作動作の例が示される。T C R の初期値のデータ転送回数分のデータ転送動作毎に、順次割込み要求信号 1 1 0, 1 1 1, 1 1 2 がアサートされ、T C R の初期値のデータ転送回数分のデータ転送動作が 3 回繰り返されたとき、D A R 1 5 のディスティネーションアドレスが I A R の設定値に初期化される。

【 0 0 8 2 】

これにより、図 1 4 に例示されるように、T C R の初期値のデータ転送回数分のデータ領域を 1 つのデータ領域とした 3 面のデータバッファ（3 個メモリ領域）M A, M B, M C を利用したデータ転送動作が可能になる。

【 0 0 8 3 】

図 1 2 の D M A C の構成によって 3 面バッファ M A, M B, M C を利用できれば、1 つのデータ領域にデータ転送を行っているとき、既にデータ転送を完了している 2 面のデータ領域のデータを用いてデータ処理を行うことができる。これによる利点は、例えば、データ領域毎に音声データを符号化していくとき、音声データ符号化のための計数を求める短期予測処理では一つ前に符号化されたデータ領域の一部のデータも必要とし、このとき、既に符号化処理の済んだデータのデータ領域も含めてされた 2 面のデータ領域のデータが残っていれば、短期予測処理に必要なデータの確保が確実になる、ということである。

【 0 0 8 4 】

上記利点を更に詳述する。G S M 音声符号化処理では、図 1 5 に示すように、実際に符号化される音声データ B（1 6 0 サンプル＝1 6 0 W）の符号化のための係数を求める短期予測処理という処理があり、この短期予測処理には、一つ前に符号化された音声データ A の最後の 3 5 サンプル（3 5 W）分のデータを必要とする。

【 0 0 8 5 】

このとき 2 面バッファを用いるならば、音声データ B を符号化したいとき、既に符号化が終わっている音声データ A のメモリ領域には次の音声データ C が順次転送されてくる。音声データ B の符号化のための短期予測処理が完了する前に短

期予測処理に必要な音声データAの部分がオーバーライトされてしまえば、音声データBの符号化に必要な短期予測処理を最早完了させることはできない。

【 0 0 8 6 】

前記メモリ領域MA, MB, MCのような3面バッファを用いることができれば、図16に例示されるように、メモリ領域MCの音声データを符号化するとき、DMAC3からデータ転送を受けるメモリ領域はMAであり、その符号化のための短期予測処理に必要な一つ前のデータはメモリ領域MB上に完全に保存されているから、新たな音声データの格納による上書きを免れることができる。

【 0 0 8 7 】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【 0 0 8 8 】

例えば、DMACはデータプロセッサに内蔵された形態に限定されない。DMAC単体の半導体集積回路としても実現できる。また、その場合には、バッファRAMとしてメモリを内蔵させてもよい。また、DMACを内蔵したデータプロセッサは、キャッシュメモリ、メモリマネージメントユニット、その他の周辺回路などを内蔵してよい。また、データプロセッサは外付けメモリをメインメモリとして利用するものであってよい。DMACにおいてアドレスカウンタはインクリメントに限定されずデクリメントする構成であってもよい。逆に転送カウンタはデクリメントに限定されずインクリメントする構成であってもよい。デュアルアドレッシングモードについて特に説明していないが、DMACがデュアルアドレッシングモードを有してよいことは言うまでもない。

【 0 0 8 9 】

また、本発明は携帯電話システムに適用する場合に限定されない。その他の音声処理システム、マルチメディアシステム、動き補償を用いたグラフィックシステム、携帯情報端末装置、セットトップボックス（STB）等に広く適用することができる。

【 0 0 9 0 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 9 1 】

すなわち、複数のデータ転送領域をサイクリックに用いて行うデータ転送に要するCPU等の制御負担を軽減させることができる。

【 0 0 9 2 】

逐次データを受け取りながらメモリなどに蓄積し、特定量のデータを蓄積する毎に、次のデータの蓄積処理に並列して既に蓄積されているデータを用いる一連の処理において、データ転送制御条件を再設定するCPUの負担を軽減することができる。

【 0 0 9 3 】

逐次データを受け取りながらメモリなどに蓄積し、特定量のデータを蓄積する毎に、次のデータの蓄積処理に並列して既に蓄積されているデータを用いる一連の処理を行うデータ処理システムのデータ処理効率を向上させることができる。

【 0 0 9 4 】

転送制御装置側で自動的にデータ領域を切り替えながらデータ転送を行うことができるから、CPU等の演算制御装置は転送制御装置に対する度重なる再設定処理を行わずに済み、演算制御装置によるデータ処理量を低減することができる。

【 0 0 9 5 】

演算制御装置によるデータ処理量を低減することができるから、演算制御装置の動作周波数を低下させることも可能になり、データ処理システムの低消費電力に寄与することができる。

【図面の簡単な説明】

【図 1】

本発明に係るデータプロセッサの一例を示すブロック図である。

【図 2】

転送元アドレスを固定とし、転送先アドレスを順次更新するシングルアドレッシングモードに特化したDMACの第1の例を示すブロック図である。

【図 3】

転送回数と2面バッファとの関係を示す説明図である。

【図 4】

図2のDMACのデータ転送動作を全体的に示す動作説明図である。

【図 5】

データプロセッサを適用したGSM方式携帯電話システムの一例を示すブロック図である。

【図 6】

図5の携帯電話システムにおいてA/D変換器から出力されるデジタル音声信号を周辺回路のSCIを介してメモリに蓄えながら、そのデジタル音声信号を符号化するときの動作を例示する説明図である。

【図 7】

シングルアドレッシングモードに特化し任意のメモリ領域を用いることができる第2の例に係るDMACを示すブロック図である。

【図 8】

図7のDMACの動作説明図である。

【図 9】

任意のメモリ領域を例示する説明図である。

【図 10】

シングルアドレッシングモードに特化し転送元又は転送のどちらかを2面バッファに選択可能にした第3の例に係るDMACを示すブロック図である。

【図 11】

シングルアドレッシングモードに特化したDMACの第4の例を示すブロック図である。

【図 12】

シングルアドレッシングモードに特化し3面バッファを利用してデータ転送制御

可能な第5の例に係るDMACを示すブロック図である。

【図13】

図12のDMACによるデータ転送動作動作を例示する説明図である。

【図14】

3面バッファを例示する説明図である。

【図15】

符号化対象データと短期予測処理に必要なデータとの関係を例示する説明図である。

【図16】

3面バッファを用いて短期予測処理を行う利点を説明示す説明図である。

【符号の説明】

- 1 データプロセッサ
- 2 CPU
- 3 MDAC
- 4 アドレスバス
- 5 データバス
- 6 バスコマンドバス
- 8 メモリ
- 9 周辺回路
- 10 デジタル信号処理専用バス
- 11, 11A ソースアドレスレジスタ
- 12 イニシャルアドレスレジスタ
- 13 転送回数指定レジスタ
- 15, 15A ディステーションアドレスレジスタ
- 16 インクリメンタ
- 21 転送回数レジスタ
- 22 デクリメンタ
- 23 ゼロ信号
- 24 1ビットカウンタ

2 4 A 3 進カウンタ

2 6, 2 6 A, 2 6 B, 2 6 C, 2 6 D 制御回路

4 2 A / D 変換器

1 0 0 データ転送要求信号

1 0 1 バス権要求信号

1 0 2 バス権承認信号

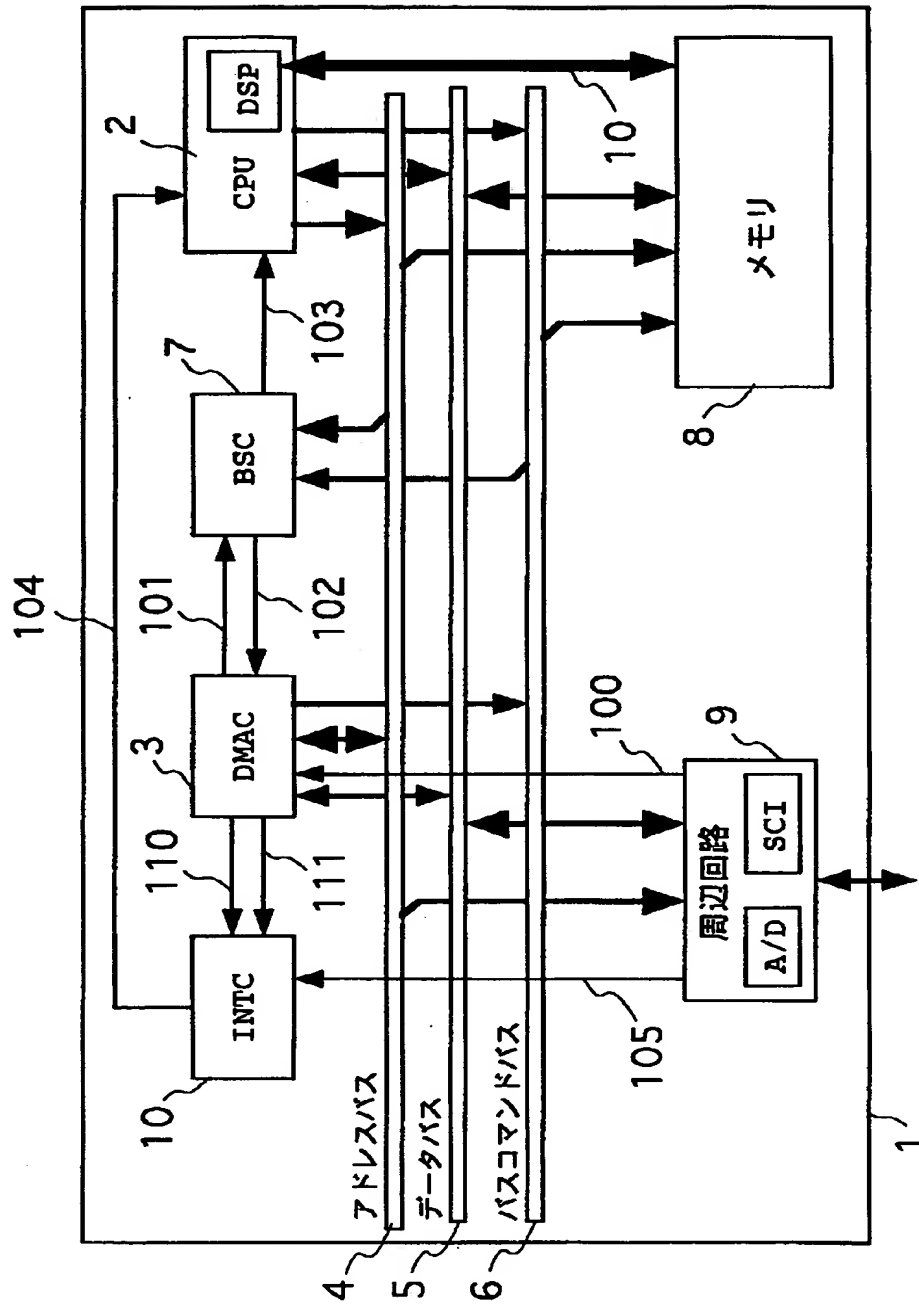
1 0 4 割込み信号

1 1 0, 1 1 1, 1 1 2 割込み要求信号

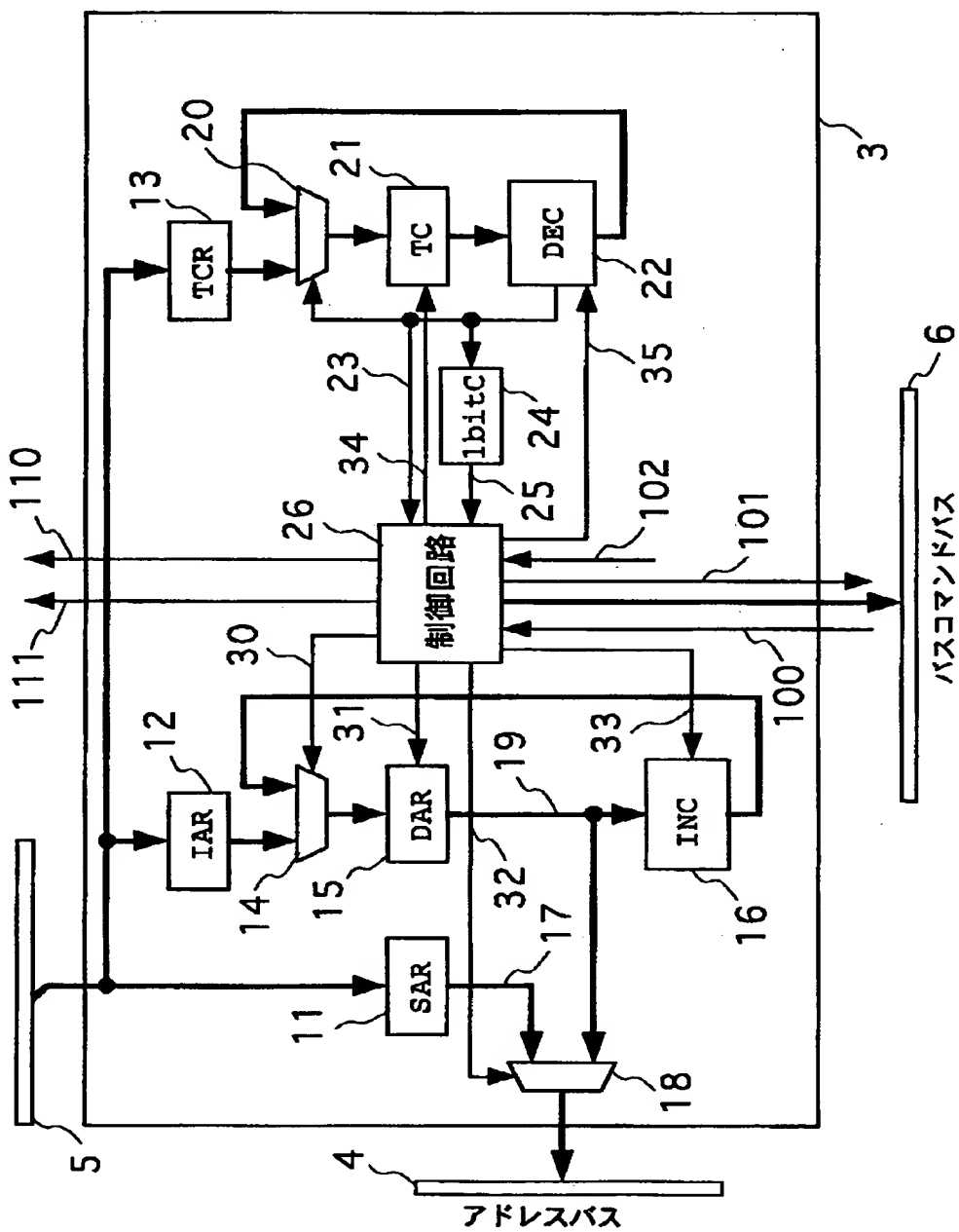
【書類名】 図面

【図 1】

図 1

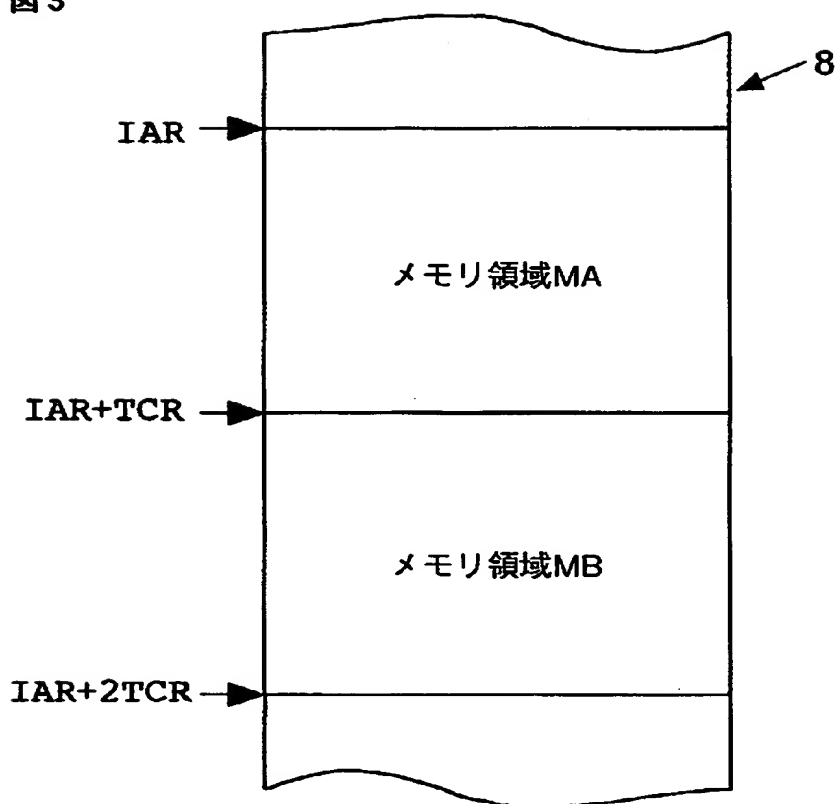


【図2】
図2



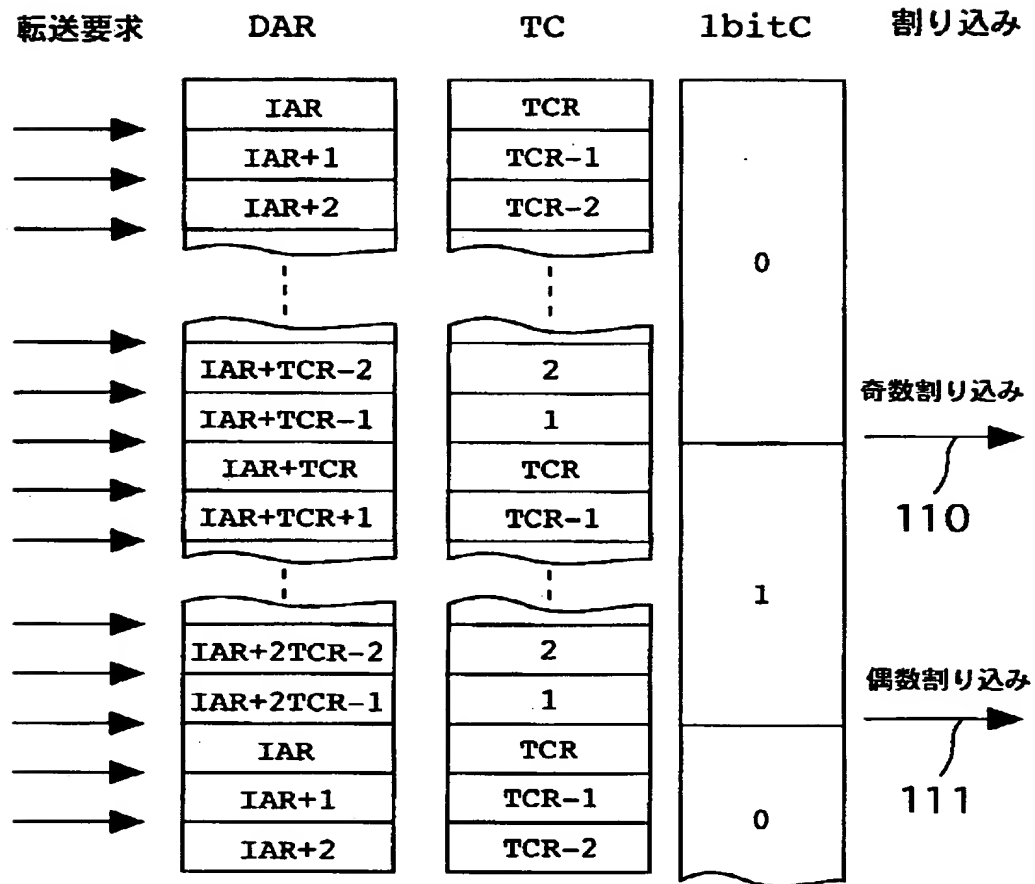
【図 3】

図 3

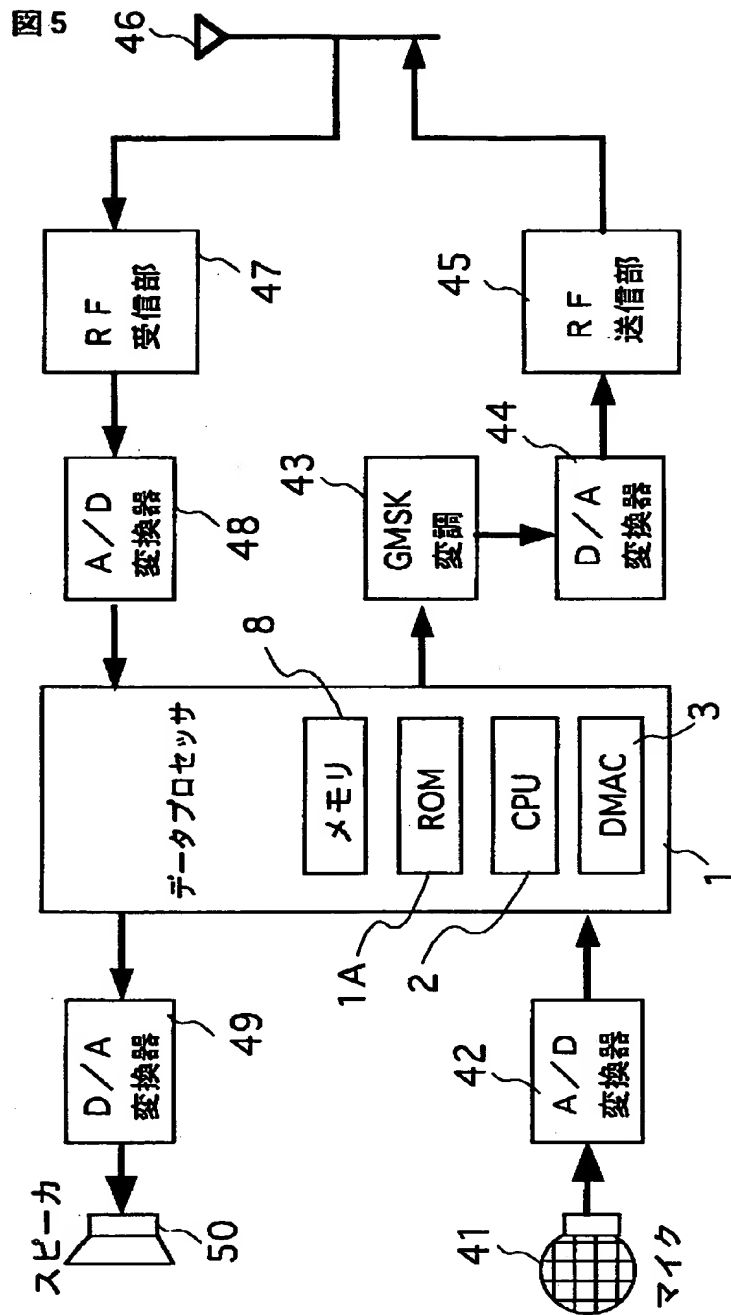


【図 4】

図 4

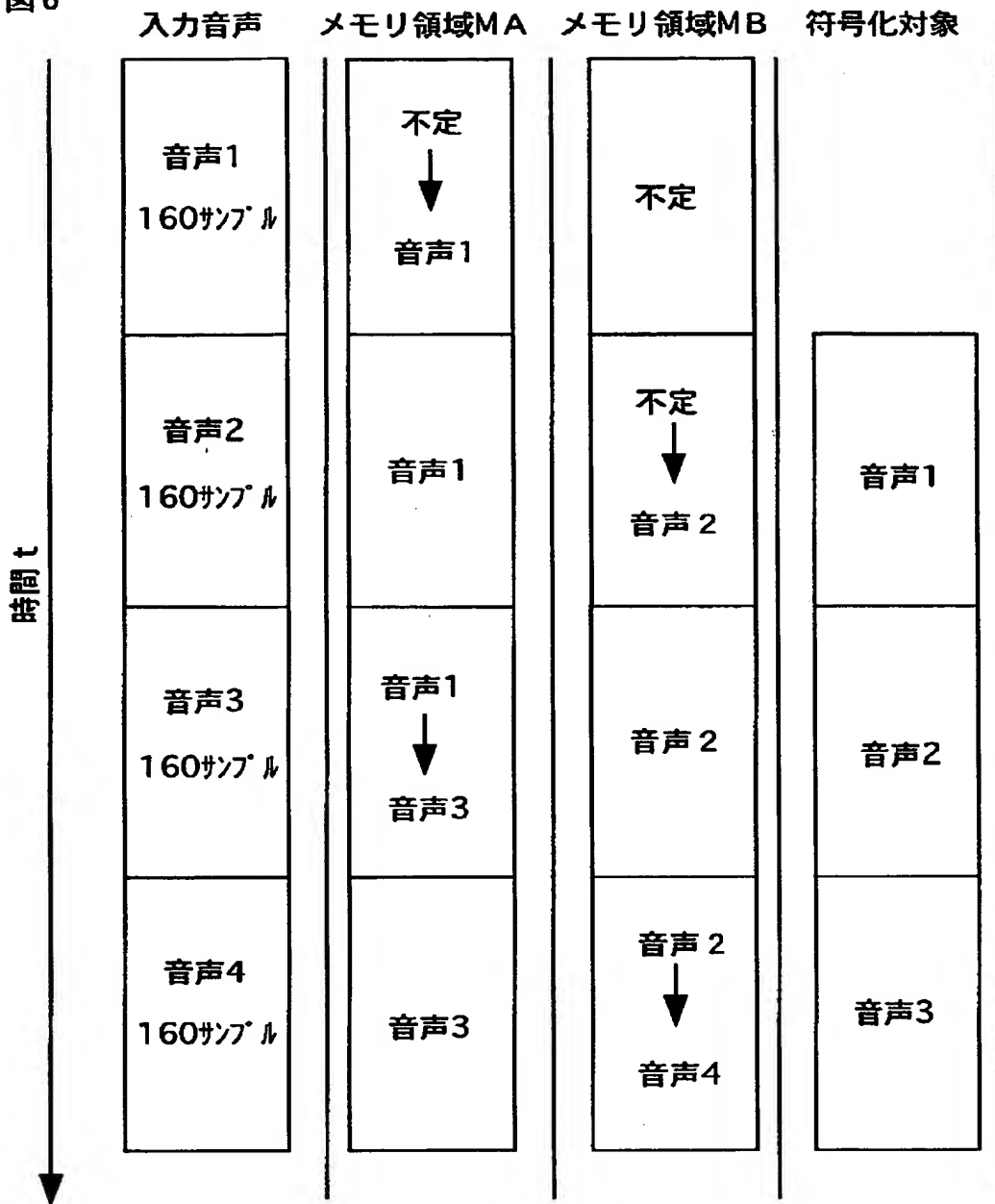


【図5】



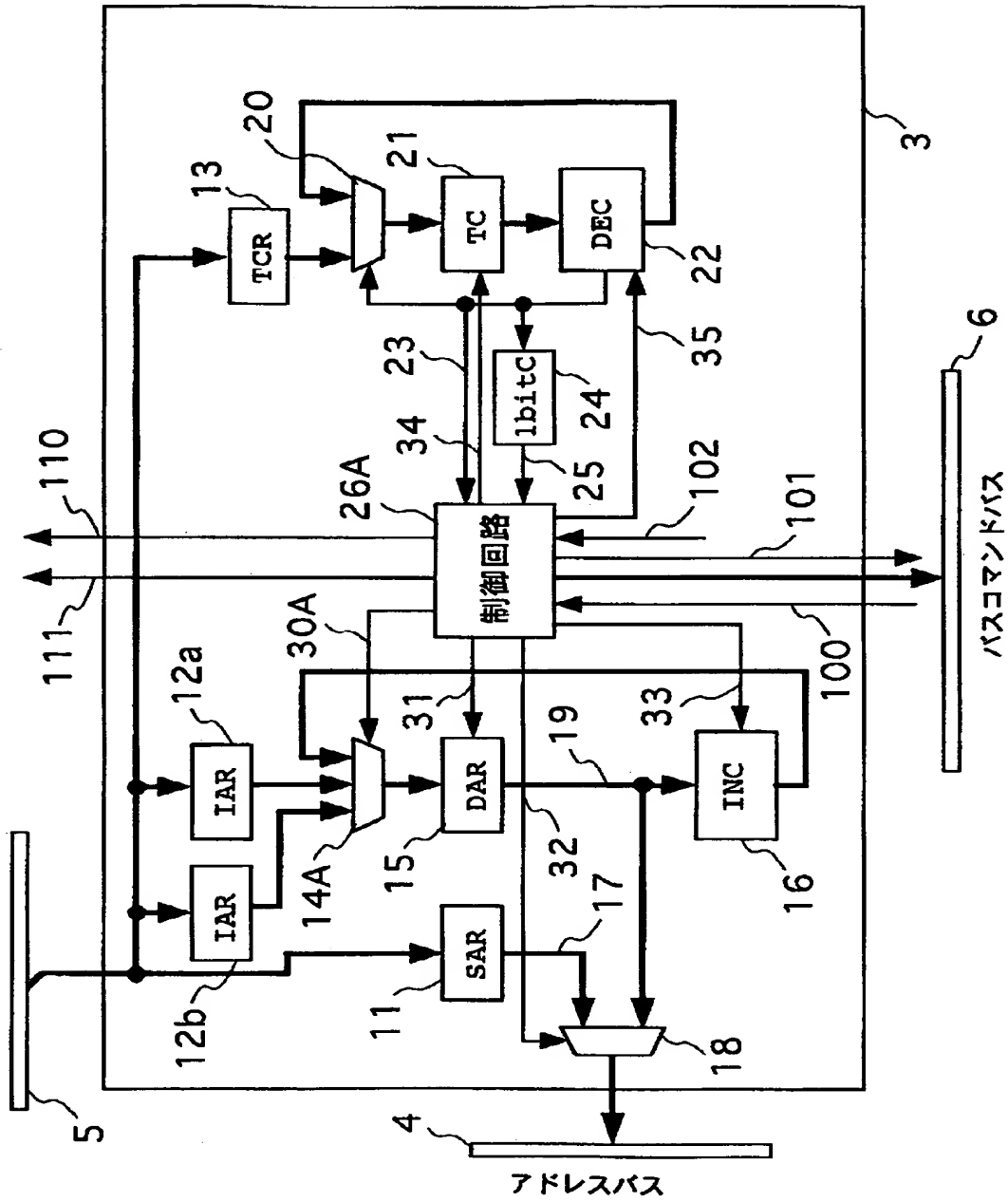
【図 6】

図 6



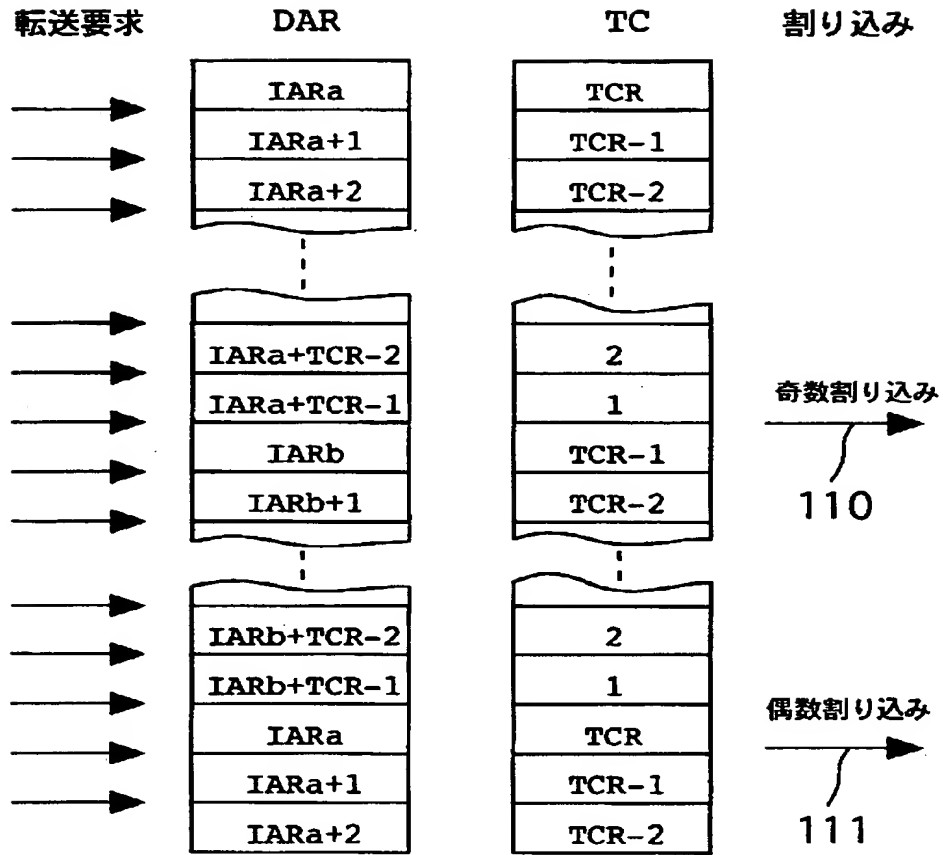
【図 7】

図 7



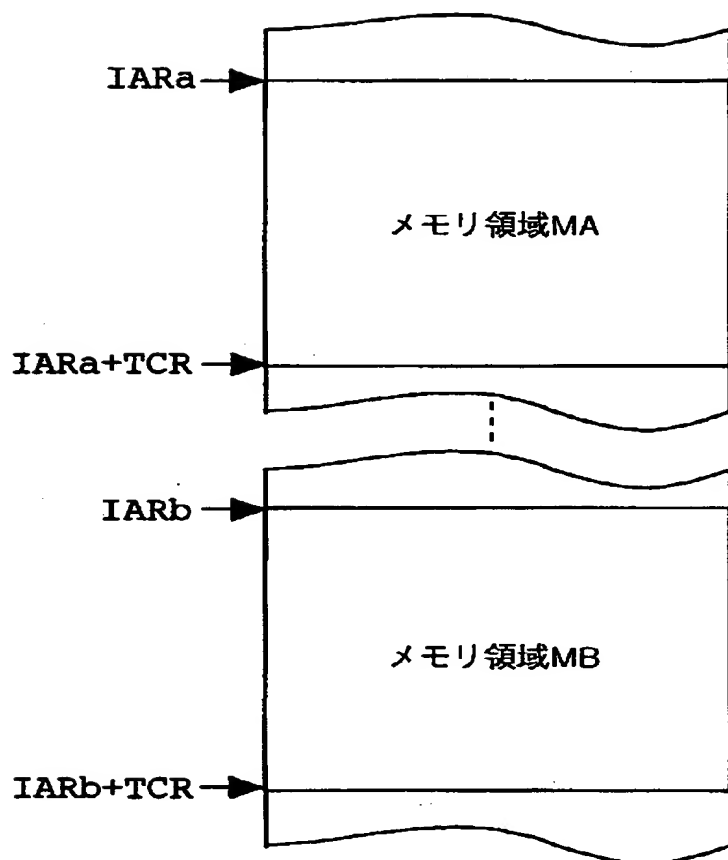
【図 8】

図 8



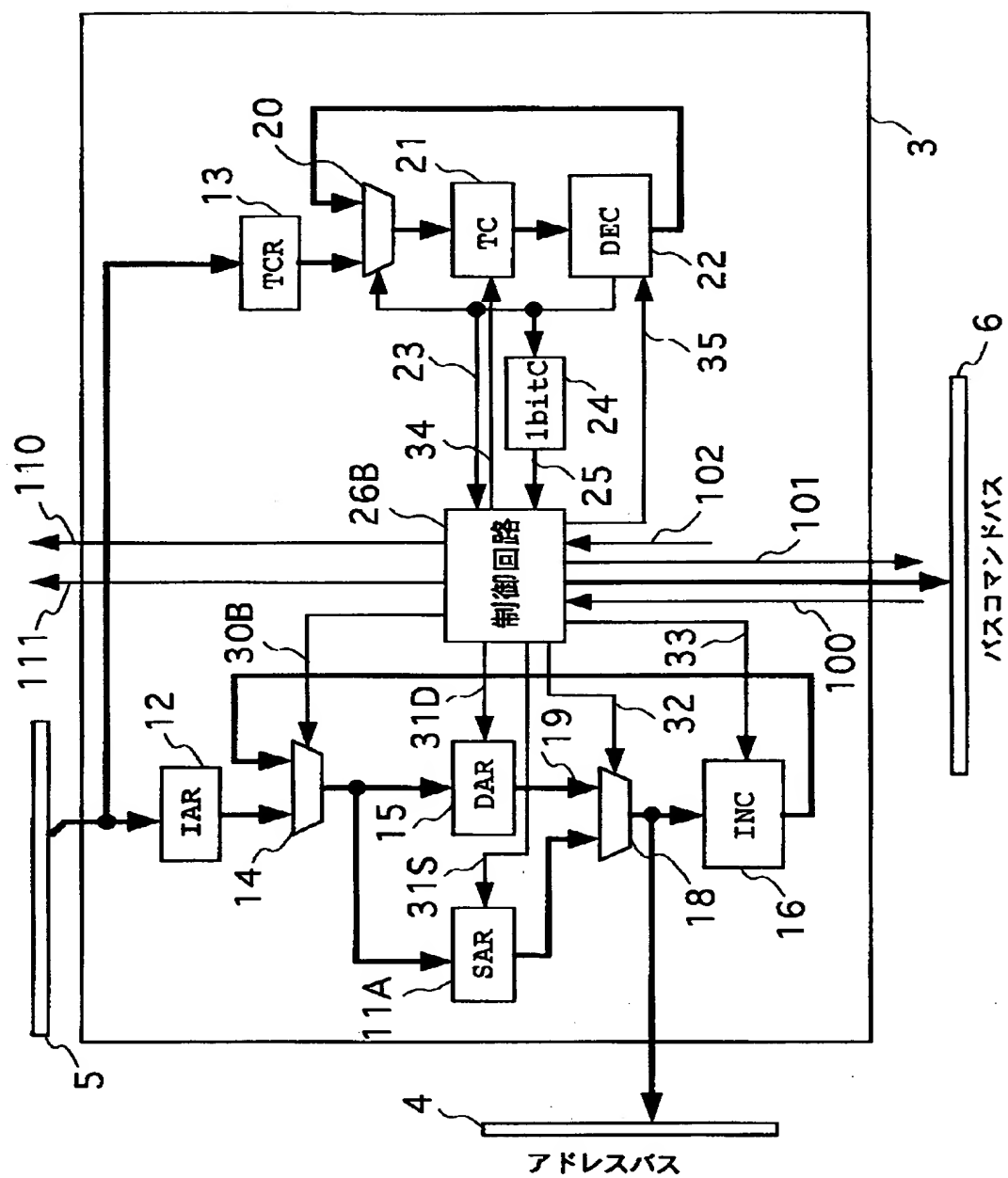
【図 9】

図 9



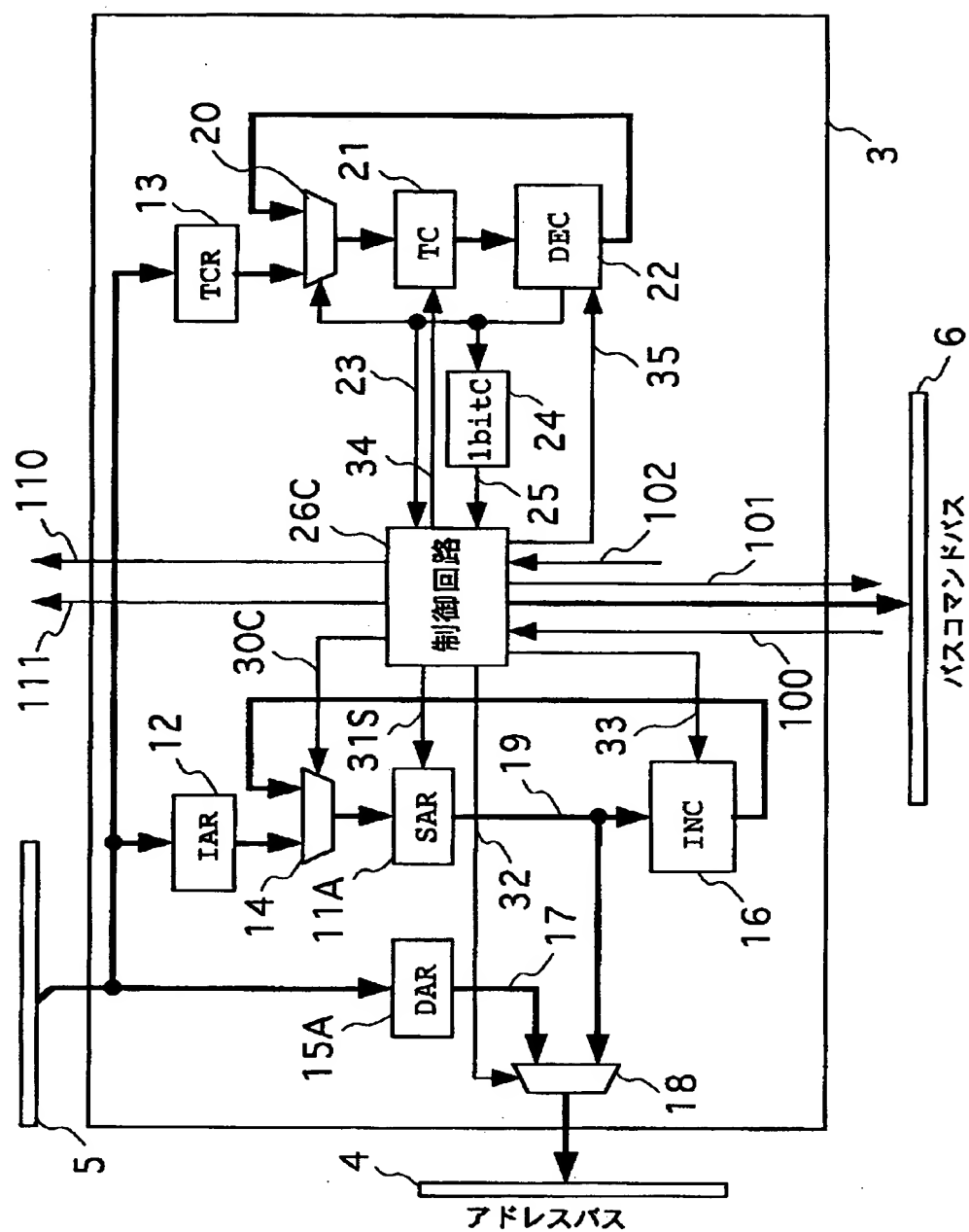
【図 10】

图 10



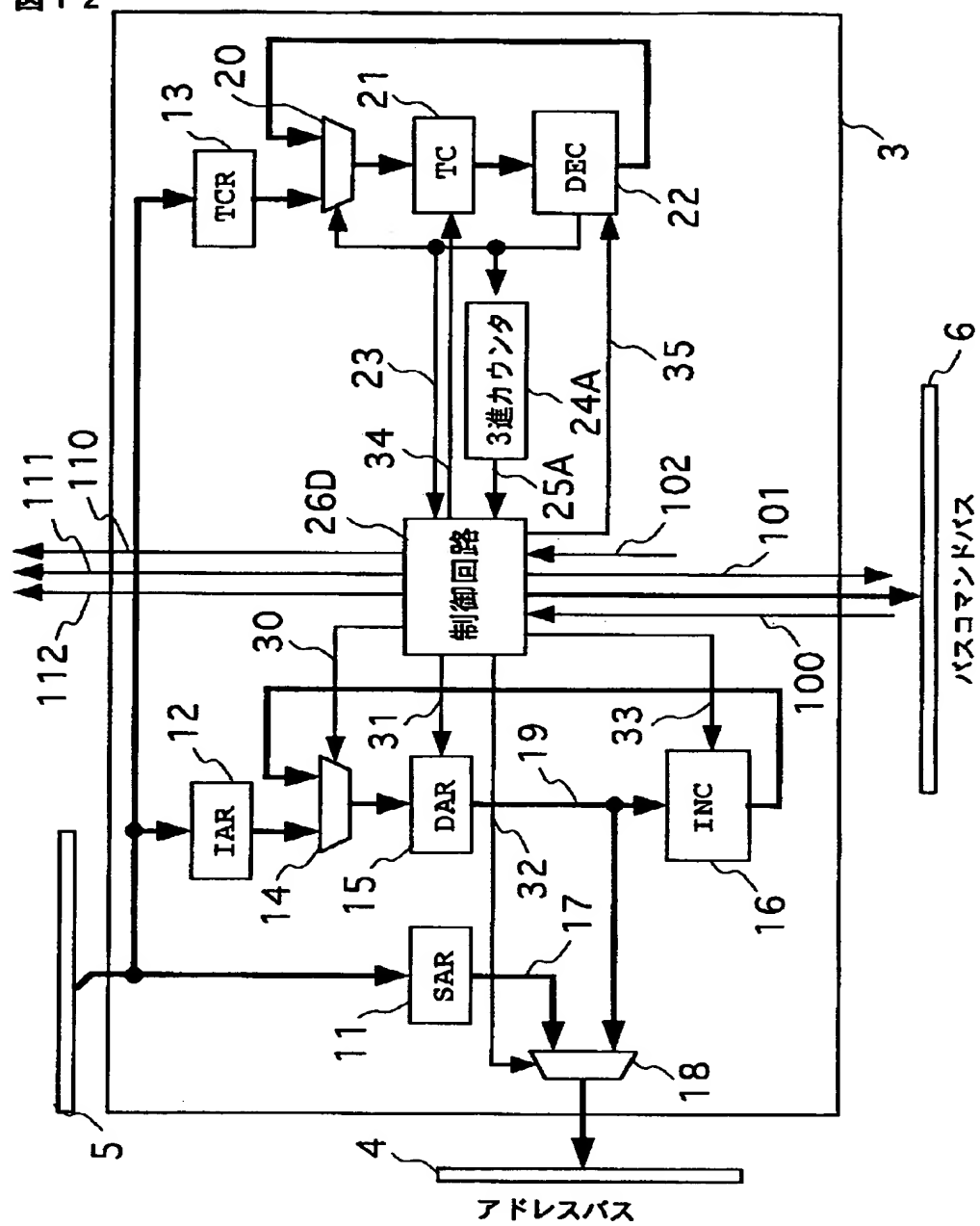
【図11】

図11



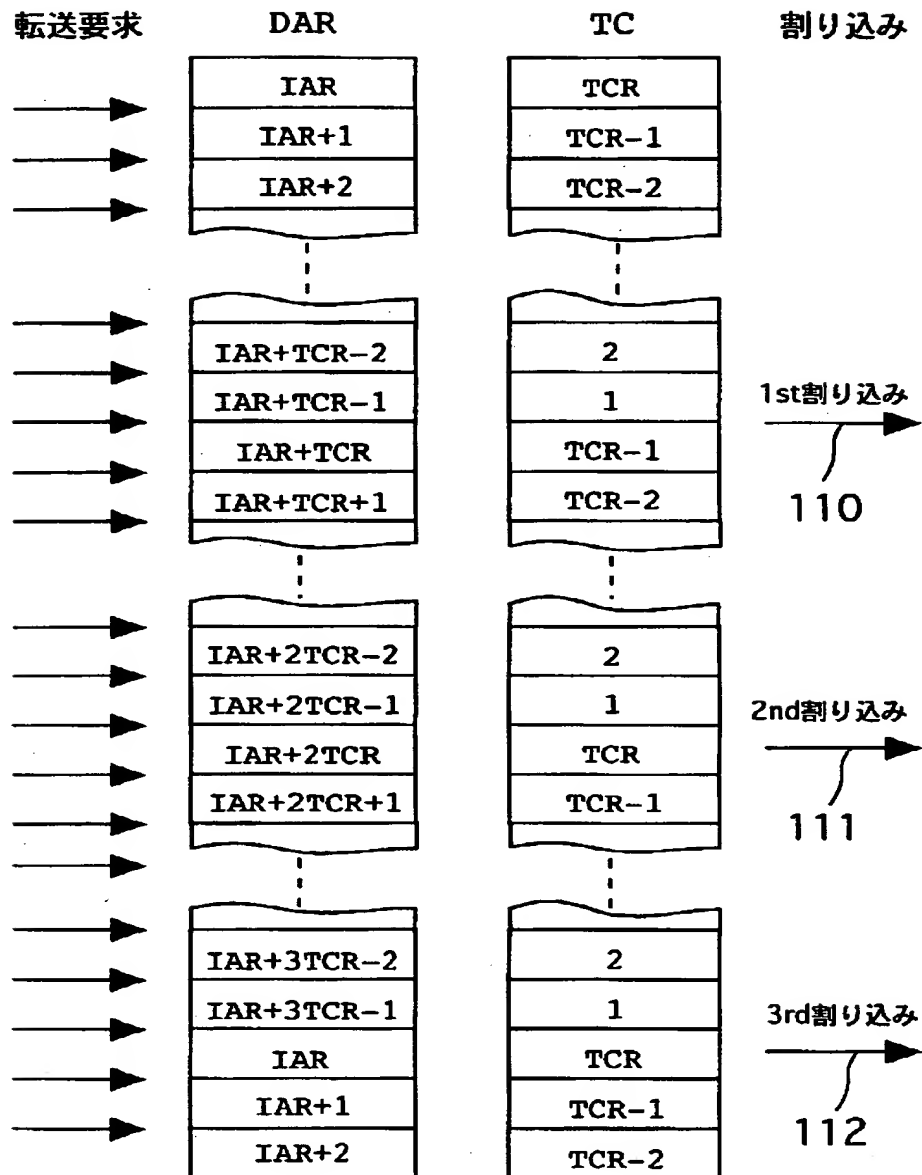
【図 12】

图 12



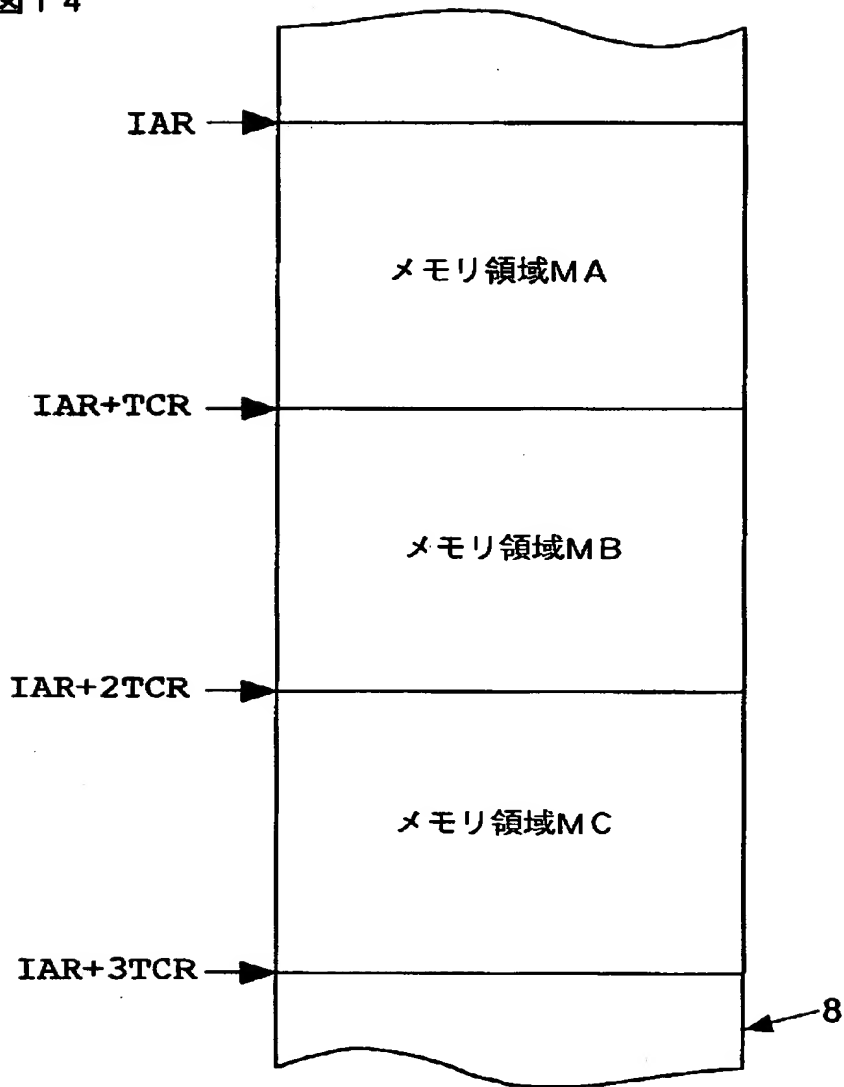
【図 13】

図 13



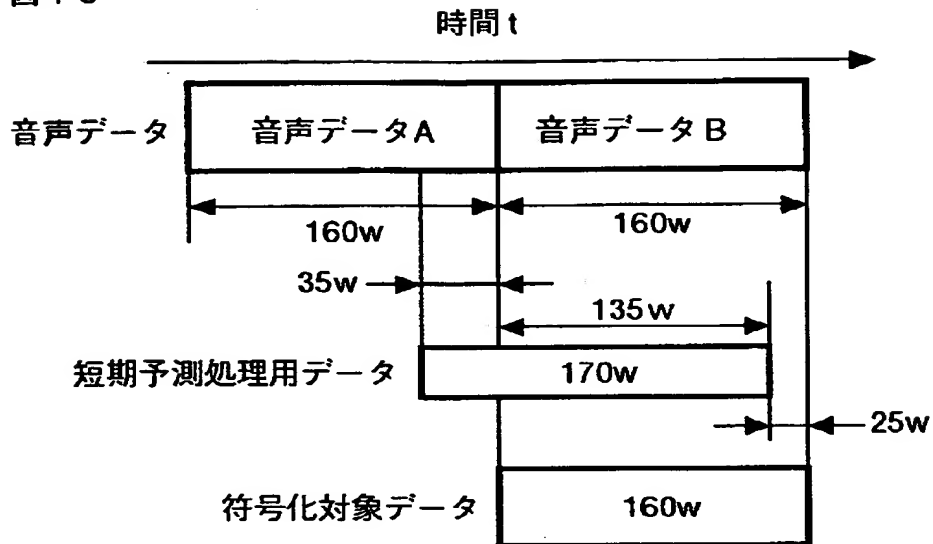
【図 1 4】

図 1 4



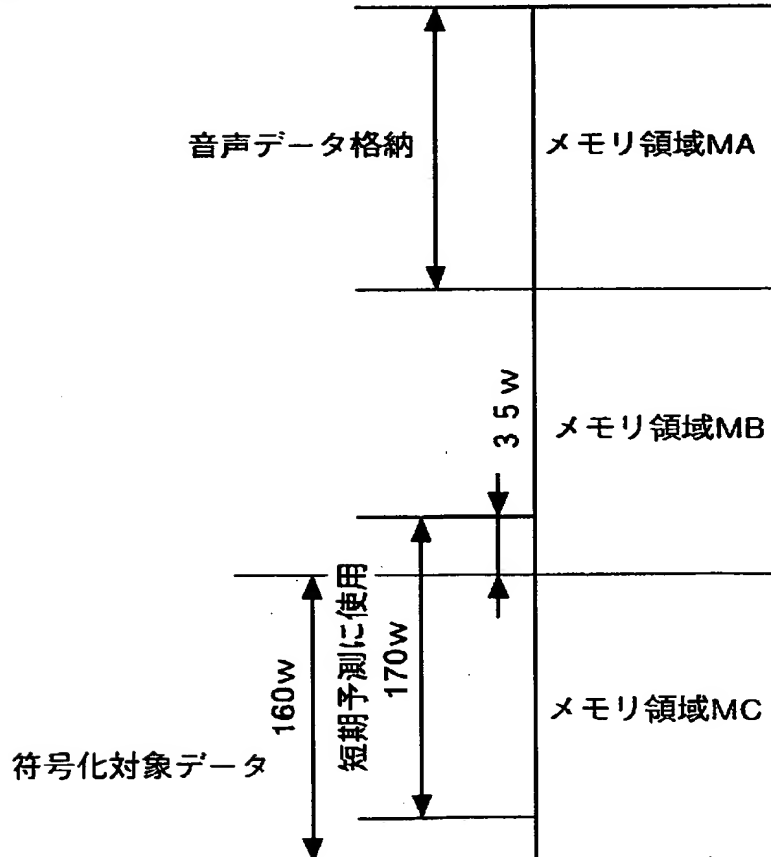
【図 15】

図 15



【図 16】

図 16



【書類名】 要約書

【要約】

【課題】 複数のデータ転送領域をサイクリックに用いるデータ転送に要するCPUの制御負担を軽減させる。

【解決手段】 DMAC (3) は、CPU (2) により転送元又は転送先の転送開始アドレスが初期設定され、転送開始アドレスを基点に転送元からの転送要求に応答するデータ転送が所定のデータ量に達する毎にCPUに割り込み (110, 111, 104) を要求し、前記割り込みを所定の複数回要求する毎に転送元又は転送先のアドレスを前記転送開始アドレスに初期化する。CPUは一旦DMACにデータ転送条件を設定した後は、有限個のメモリ領域 (MA, MB) を繰り返し利用して音声データを受信するためのデータ転送制御のために如何なる再設定処理も行うことなくデータ処理を継続することができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所